

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yutaka MIMINO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **March 6, 2002**

For: **HIGH FREQUENCY SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

March 6, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-102613, filed March 30, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.  
Reg. No. 22,631

Atty. Docket No.: 020124  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WGK/ll



日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-102613

出 願 人

Applicant(s):

富士通カンタムデバイス株式会社

2001年12月21日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3111303

【書類名】 特許願

【整理番号】 0100105

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/41

【発明の名称】 高周波半導体装置

【請求項の数】 7

【発明者】

    【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
通カンタムデバイス株式会社内

    【氏名】 耳野 裕

【発明者】

    【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
通カンタムデバイス株式会社内

    【氏名】 馬場 修

【発明者】

    【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
通カンタムデバイス株式会社内

    【氏名】 青木 芳雄

【発明者】

    【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
通カンタムデバイス株式会社内

    【氏名】 後藤 宗春

【特許出願人】

    【識別番号】 000154325

    【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

    【識別番号】 100072590

    【弁理士】

【氏名又は名称】 井桁 貞一

【電話番号】 044-754-2462

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9721483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、電源電位と前記電源電位から電源供給を受ける活性領域との間に並列に接続された、深さの異なる複数の電源配線を備えることを特徴とする半導体装置の多層配線構造。

【請求項 2】 前記電源電位と活性領域の間には、前記複数の電源配線に接続され、前記複数の電源配線の一つよりも大きな電流容量をもつ共通電源配線が接続されてなることを特徴とする請求項 1 記載の半導体装置の多層配線構造。

【請求項 3】 前記共通電源配線は、前記電源電位に接続される電源パッドと前記複数の電源配線との間に設けられてなることを特徴とする請求項 2 記載の半導体装置の多層配線構造。

【請求項 4】 前記共通電源配線は、前記前記活性領域と前記複数の電源配線との間に設けられてなることを特徴とする請求項 2 記載の半導体装置の多層配線構造。

【請求項 5】 前記共通電源配線は、前記電源電位と前記活性領域との間にその両端が前記複数の電源配線に接続されて設けられることを特徴とする請求項 2 記載の半導体装置の多層配線構造。

【請求項 6】 前記複数の電源配線は、複数の前記活性領域に並列に接続されてなることを特徴とする請求項 1 記載の半導体装置の多層配線構造。

【請求項 7】 前記複数の電源配線は、それと並列に接続された複数の電源パッドにより電源電位と接続されることを特徴とする請求項 1 記載の半導体装置の多層配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波MMIC（モノリシックマイクロ波集積回路）のうち、高出力電力を取り扱うMMICに関する。

【0002】

高周波MMICの多くは、半導体チップ内にDCバイアスが必要とされるトランジスタを内蔵しており、大きな出力電力を得るためにはトランジスタに多くの電流を流す必要がある。本発明は、半導体上の多層配線構造を用いたトランジスタへのDCバイアス供給方法に関するものである。

#### 【0003】

##### 【従来の技術】

図10は従来の半導体装置説明図であり、図10(a)及び(b)はそれぞれ多層配線構造を表す断面図及び平面図である。

#### 【0004】

従来の半導体装置では、図10を参照して、半導体基板1上に絶縁膜2と多層配線(中間層は図示せず。)との積層からなる多層配線構造が形成されており、DC電源は、半導体装置外側からワイヤー等を用いて、多層配線構造の最上層に設けられた電源パッド9へ供給される。半導体装置の内部では、電源電位は、電源パッド9に接続され半導体基板1上に延在する電源配線4からスルーホール5を通じて半導体基板上に形成された活性領域3、例えばトランジスタのドレイン6に供給される。

#### 【0005】

##### 【発明が解決しようとする課題】

高周波MMICでは、電源供給回路は単なるDC電源を供給する線路ではなく、ローパスフィルタ特性を有する分布定数回路として設計する必要がある。その結果、電源配線の設計レイアウトでは高周波回路特有の制約条件が課される。このため、設計レイアウト上の高い自由度が渴望されている。

#### 【0006】

##### 【課題を解決するための手段】

大きな出力電力を得るためには、トランジスタに多くの電流を流す必要がある。そのためには、電源配線も電流容量を確保するために所定の太さが必要である。電源配線が所定の太さを満たさない場合には、例えば、電源配線の抵抗による電圧降下、電源配線からの発熱、あるいは電源配線のマイグレーション等の問題が発生する。

## 【 0 0 0 7 】

高周波MMICでは、通常、電源配線は高周波を通さない分布定数回路として設計されるが、高周波を通さないようにするには波長の $1/4$ 程度の配線長を必要とする。また、配線を密に配置すると配線間の意図しないカップリングが発生し、回路上好ましくない。このため、配線を離して配置する必要がある。この配線間隔は、例えばMMICで多用されるマイクロストリップラインの場合には、チップ背面のグランドまでの距離より大きくしなければ、マイクロストリップラインとして機能しない。

## 【 0 0 0 8 】

従って、高出力を得るためには、 $1/4$ 波長より長くかつ太い電源配線を疎に配置しなければならない。この太くて長い電源供給回路は、チップ上のレイアウト自由度を阻害し、チップ面積の増大につながっていた。

## 【 0 0 0 9 】

図1は本発明の原理説明図であり、図1(a)は半導体装置の電源配線の断面構造を表す断面図である。また、図1(d)は電源配線構造を表す半導体装置の平面図、図1(b)及び(c)はそれぞれ図1(d)中のAA'断面及びBB'断面を表す断面図である。

## 【 0 0 1 0 】

本発明では、図1を参照して、電源パッド9と活性領域3（例えばドレイン6）間を接続する電源配線4の少なくとも一部を、深さの異なる複数の電源配線4aとする。即ち、電源配線4は複数の配線層に配置される。この複数の電源配線4aは、スルーホール5により相互に接続されている。かかる構成では、電源電流は、複数の電源配線4a、即ち多層配線を構成する複数の配線経路のそれぞれの経路に分流されて、活性領域3に給電される。以下、説明を明確にするために、電源配線4のうち複数の電源配線4aからなる部分を「複数の電源配線4a」又は単に「電源配線4a」という。

## 【 0 0 1 1 】

このように、本発明では、複数の配線層に電源配線4aを配置し、各配線層に電源電流を分流する。従って、各配線層を構成する一つ一つの電源配線4aを細

くしても複数の配線層全体としては、所要の電流容量を有する太い一層の配線と同じ電流容量を確保することができる。このため、電源配線 4 a の線幅を狭くすることができ、レイアウトの自由度が向上する。また、電源配線 4 a を折り曲げても、電源配線 4 a の線路幅が狭いため十分な大きさの線路間距離 d を確保することができるので、レイアウトの自由度が改善される。

## 【 0 0 1 2 】

なお、複数の電源配線 4 a は 2 層に限られず、電流値に応じて 3 層以上としてもかまわない。

## 【 0 0 1 3 】

次に本発明の変形例を説明する。

1. 図 2 は本発明の第 1 変形例断面図であり、多層配線構造を表している。本変形例は、図 2 を参照して、上述した本発明の複数の電源配線 4 a の一部区間を、厚い配線からなる共通電源配線 4 b に統合したものである。なお、統合とは、複数の電源配線 4 a に流れる電流を一つの共通電源配線 4 b に合流させる、或いは逆に一つの共通電源配線 4 b から複数の電源配線 4 a に分流させることをいう。なお、本変形例の共通電源配線 4 b は複数の電源配線 4 a より厚いので、複数の電源配線 4 a を構成する一本の同一幅の配線よりも大きな電流容量を有する。

## 【 0 0 1 4 】

本発明でなされる電源配線 4 の複数の電源配線 4 a への分割は、配線の本数増加につながる。このため、高周波回路配線のレイアウトに余裕のある領域では、複数の電源配線 4 a を共通配線 4 b に統合することにより、電源配線 4 の本数を少なくすることができるので、より効果的なレイアウトが可能になる。

## 【 0 0 1 5 】

図 3 及び図 4 はそれぞれ本発明の第 3 及び第 4 変形例断面図であり、多層配線構造を表している。上述の配線層が厚い共通電源配線 4 b は、図 2 を参照して、電源電位に接続する電源パッド 9 に直接接続する部分に適用することができる。また、図 3 を参照して、活性領域 3（例えばドレイン 6）に接続される配線部分に適用することもできる。さらに、図 4 を参照して、分離されて設けられた二組の複数の電源配線 4 a を接続する部分、即ち複数の電源配線 4 a の中間部分に適



用することもできる。

2. 図5は本発明の第4変形例説明図であり、多層配線構造を表している。なお、図5(a)は断面図、図5(b)は平面図である。本変形例は、図5を参照して、上述した本発明の複数の電源配線4aの一部区間を、幅広の配線からなる共通電源配線4bに統合したものである。即ち、上述した第1変形例の共通配線を幅広の配線に代えたものである。

【0016】

本変形例では、高周波回路配線のレイアウトに余裕のある領域では、第1変形例と同様に電源配線4を幅広に形成された少数の共通電源配線4aに統合することができるで、より効果的なレイアウトが可能になる。この場合、共通電源配線4aを高周波回路配線のレイアウトに余裕のある領域に設けることで、レイアウト上の無用の制約の増加、あるいはチップ面積の増加を回避することができる。また、共通電源配線4bの厚さを他の配線と同一にすることができるので、共通電源配線4bを他の配線と同時に形成することができる。

【0017】

本変形例の共通電源配線の配置場所は、上述した第1、第2及び第3変形例と同様に、電源電位に接続されるパッドに接続される部分、分割された電源配線の間部分、活性領域に接続される配線部分等がある。

3. 図6は本発明の第5変形例断面図であり、多層配線構造を表している。本変形例では、図6を参照して、上述した本発明の複数の電源配線4aが複数の活性領域3（例えばドレイン6）に接続され、複数活性領域3への電源を供給する電源バスとして機能する。

【0018】

本発明によれば、複数の電源配線4aによって電源供給が行われるため、同じ配線幅の電源配線と比べると、当然ながら電源容量が大きくなる。従って、これを電源バスとして使用し、その電源配線を複数の活性領域3に対する共通の電源配線として使用することもできる。この構造でも、前述と同様に細い配線で電源配線をレイアウトできるため、高周波回路配線のレイアウトの自由度が向上する。

4. 図7は本発明の第6変形例断面図であり、多層配線構造を表している。本変形例では、図7を参照して、上述した本発明の複数の電源配線4aは複数の電源パッド9に接続する。

【0019】

本変形例では、電源が供給される電源パッドを複数備え、複数の電源経路を通り活性領域3に電源が供給される。このため、大容量の電源供給が必要な場合に、同電位の複数の電源パッド9から電源供給することで、その容量に見合った電力を容易に供給することができる。

【0020】

【発明の実施の形態】

図8は本発明の第1実施形態例平面図であり、MMICの配線パターンを表している。本実施形態例では、図8を参照して、半導体基板表面にドレイン及びソースを含む活性領域3が形成され、その上に櫛歯状のゲート電極8a、ソース電極7a及びドレイン電極6aが設けられて、高出力高周波トランジスタが構成される。

【0021】

電源パッド9は、半導体基板表面上の最上層の配線層に形成される。この電源パッド9は、キャパシタ10を介してビアホール11に接地され、RF的にはグラウンド電位にショートされる。電源パッド9に供給された電源電流は、蛇行する複数の電源配線4aを通り、この複数の電源配線4aに接続する幅広の共通電源配線4bからスルーホール5及びドレイン電極6aを介して上記高周波トランジスタのドレインにDCバイアスとして供給される。この蛇行する複数の電源配線4aは、使用周波数の半導体基板上における波長の1/4の長さを有し、ローパスフィルタとして機能する。

【0022】

本実施形態例では、フィルタを構成する複数の電源配線4aの幅を、単一の電源配線で形成する従来の配線よりも狭くすることができる。従って、この部分をフィルタを構成するために折り曲げて配置しても、電源配線4a間、及び電源配線4aと信号線路（高周波回路配線）間の間隔を確保することができるので、レ

アウトの自由度が改善される。

【0023】

図9は、本発明の第2実施形態例平面図であり、MMICの配線パターンを表している。本実施形態例は、図9を参照して、第1実施形態例の複数の電源配線4aをスパイラルパターンとしたものである。即ち、電源パッド9と共通電源配線4b間を接続する複数の電源配線4aは、スパイラル形状に形成される。なお、図9中の円内は部分断面図であり、共通電源配線4bと複数の電源配線4aとの上下位置関係をあらわしている。図9中の部分断面図を参照して、スパイラル状の複数の電源配線4aは、幅広の共通配線4b上を跨ぐ二層の配線で構成されている。この二層は、相互にスルーホールを通して接続される。複数の電源配線4aのスパイラルの中心端は、スルーホール5を通して下層の共通配線4bに接続され、この共通配線4bによりスパイラルの外部に配置された共通電源配線4bに電氣的に接続している。このように、電源線路をスパイラル状に配置することで、線路のインダクタンス成分が増加し、広帯域なバイアス回路を作成することができる。

【0024】

【発明の効果】

本発明によれば、電源配線を細くすることができるため、チップ面積が縮小され、また高周波半導体装置設計におけるレイアウトの自由度が改善されるので、半導体装置の性能向上に寄与するところが多い。

【図面の簡単な説明】

- 【図1】 本発明の原理説明図
- 【図2】 本発明の第1変形例断面図
- 【図3】 本発明の第2変形例断面図
- 【図4】 本発明の第3変形例断面図
- 【図5】 本発明の第4変形例説明図
- 【図6】 本発明の第5変形例断面図
- 【図7】 本発明の第6変形例断面図
- 【図8】 本発明の第1実施形態例平面図

【図 9】 本発明の第 2 実施形態例平面図

【図 1 0】 従来の半導体装置説明図

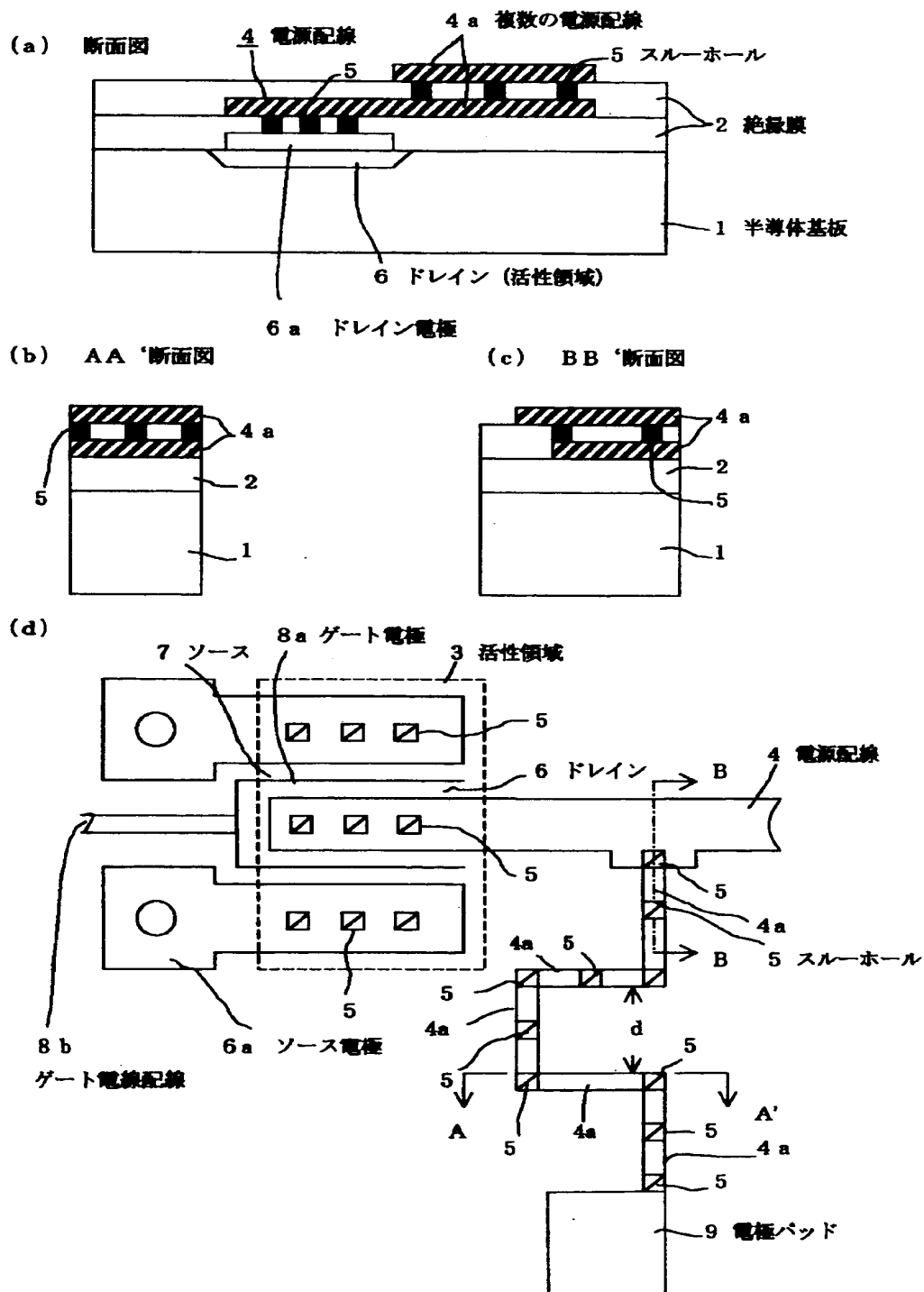
【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 活性領域
- 4 電源配線
  - 4 a 複数の電源配線（電源配線）
  - 4 b 共通電源配線（電源配線）
- 5 スルーホール
- 6 ドレイン（3 活性領域）
  - 6 a ドレイン電極
- 7 ソース（3 活性領域）
  - 7 a ソース電極
- 8 a ゲート電極
  - 8 b ゲート電極配線
- 9 電源パッド
- 1 0 キャパシタ
- 1 1 ビアホール

【書類名】 図面

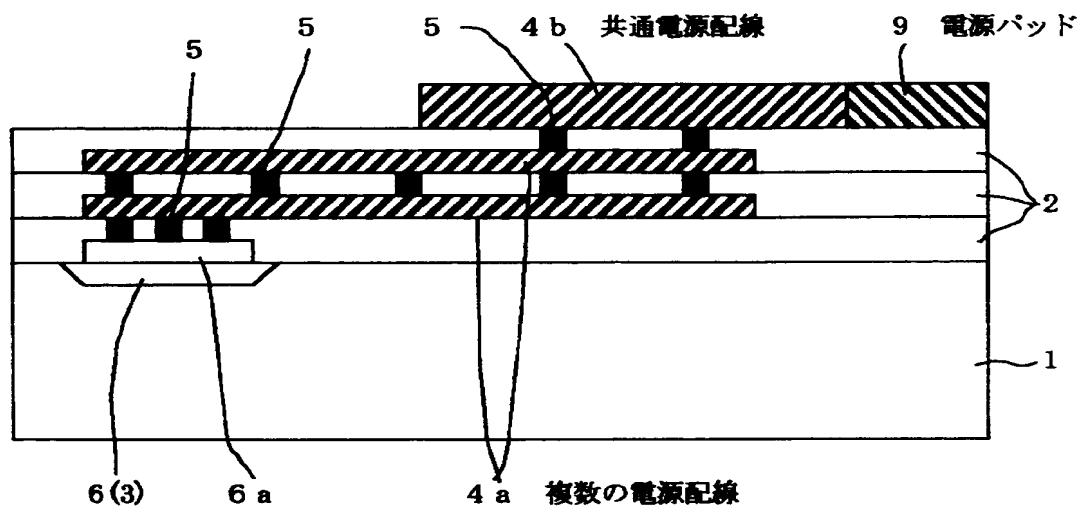
【図 1】

## 本発明の原理説明図



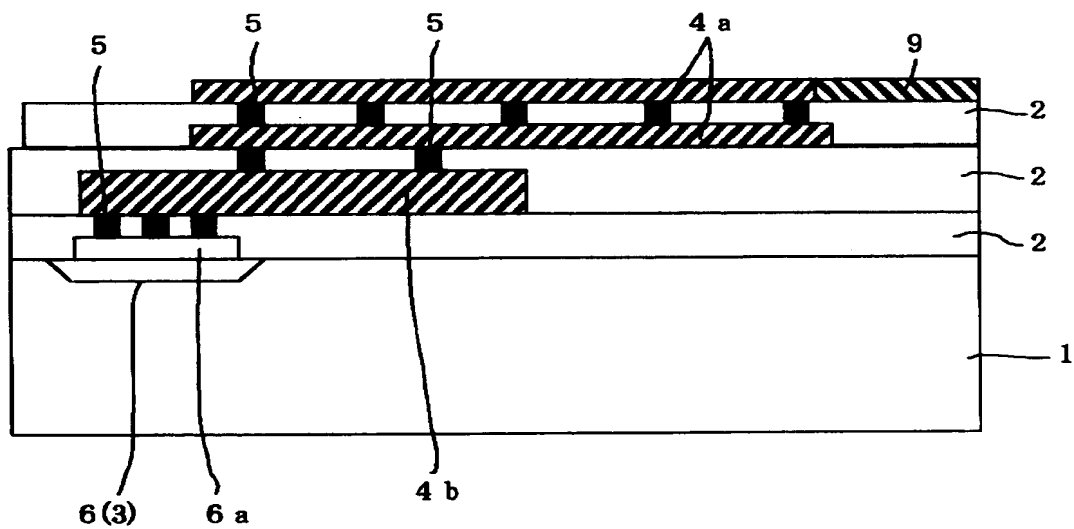
【図 2】

本発明の第 1 変形例断面図



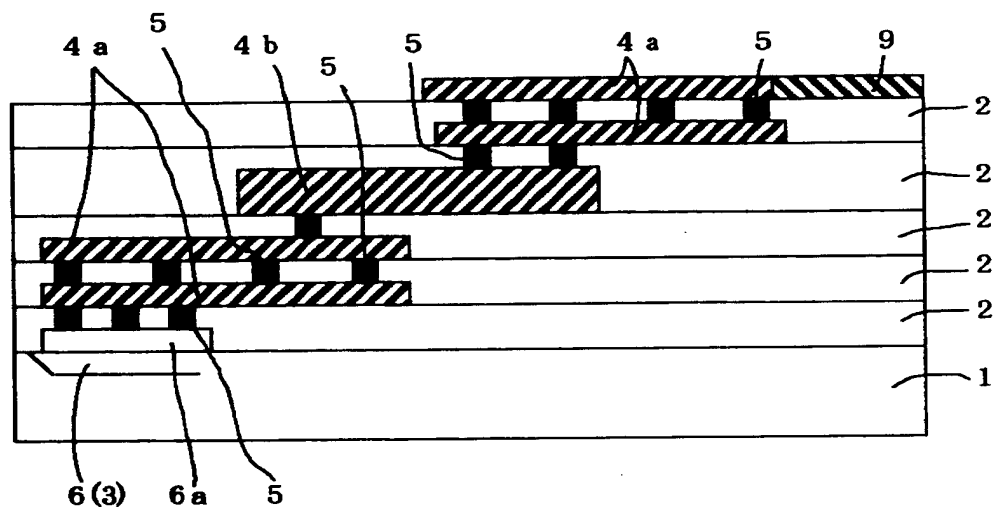
【図 3】

本発明の第 2 変形例断面図



【図 4】

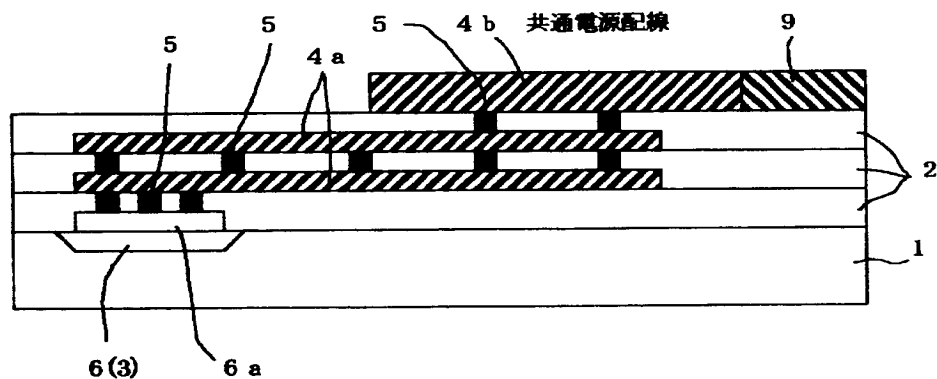
本発明の第 3 変形例断面図



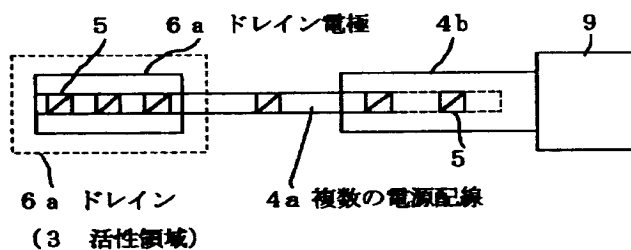
【図 5】

### 本発明の第4変形例断面図

(a) 断面图

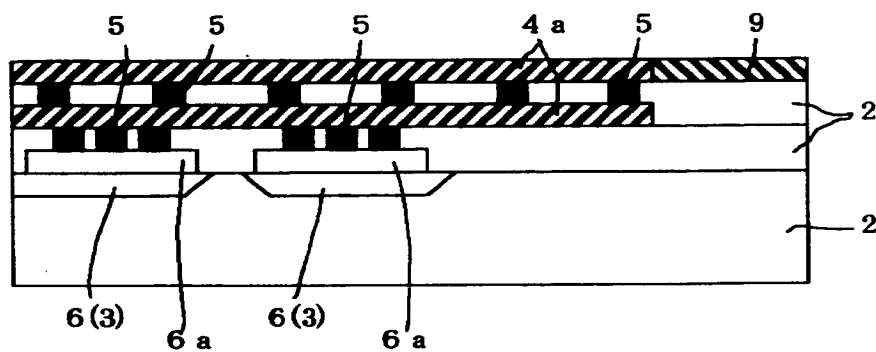


(b) 平面图



【图 6】

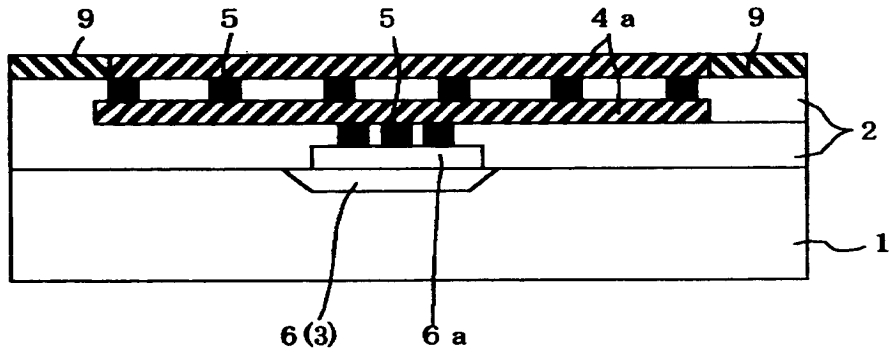
### 本発明の第 5 変形例断面図



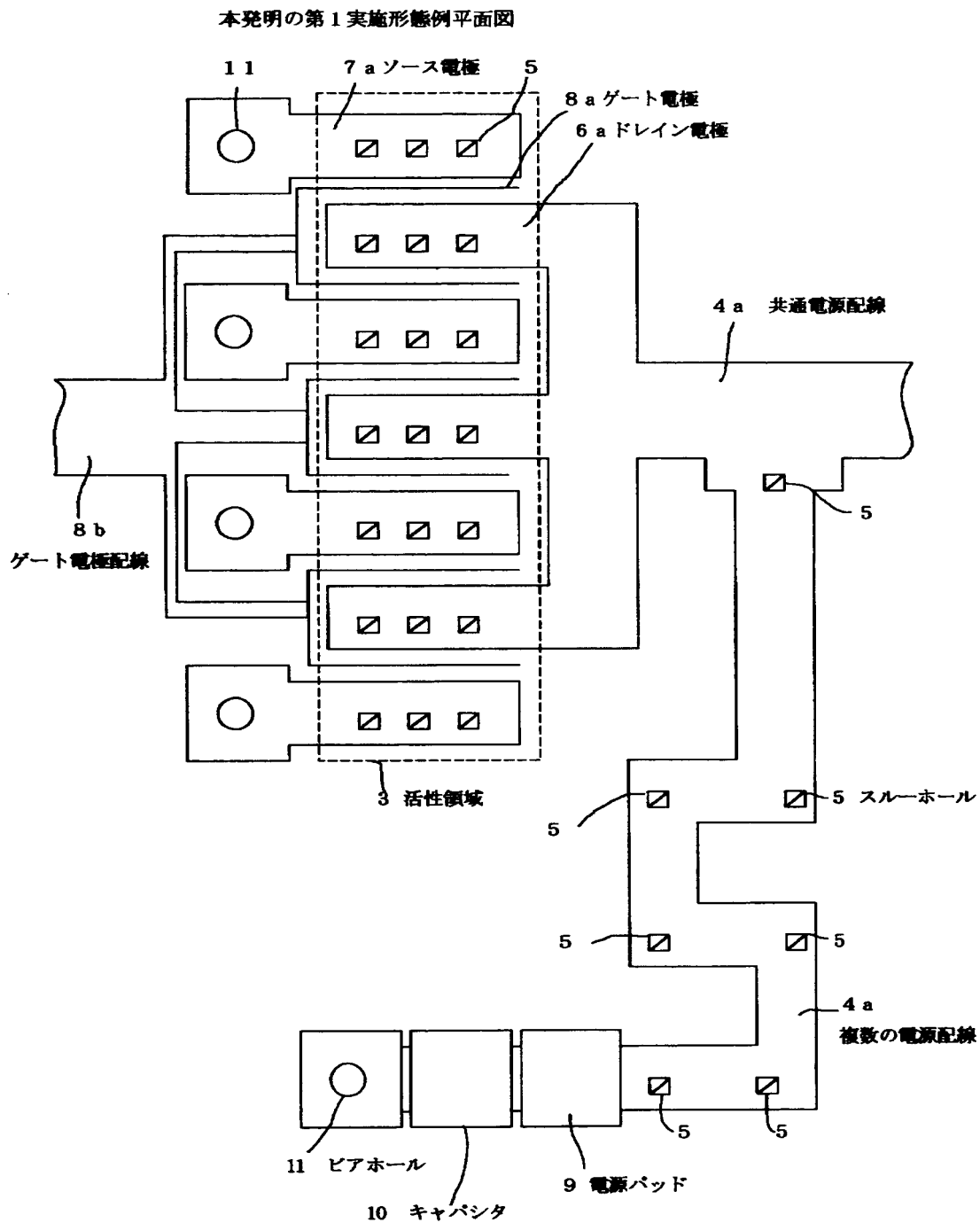


【図 7】

本発明の第 6 変形例断面図

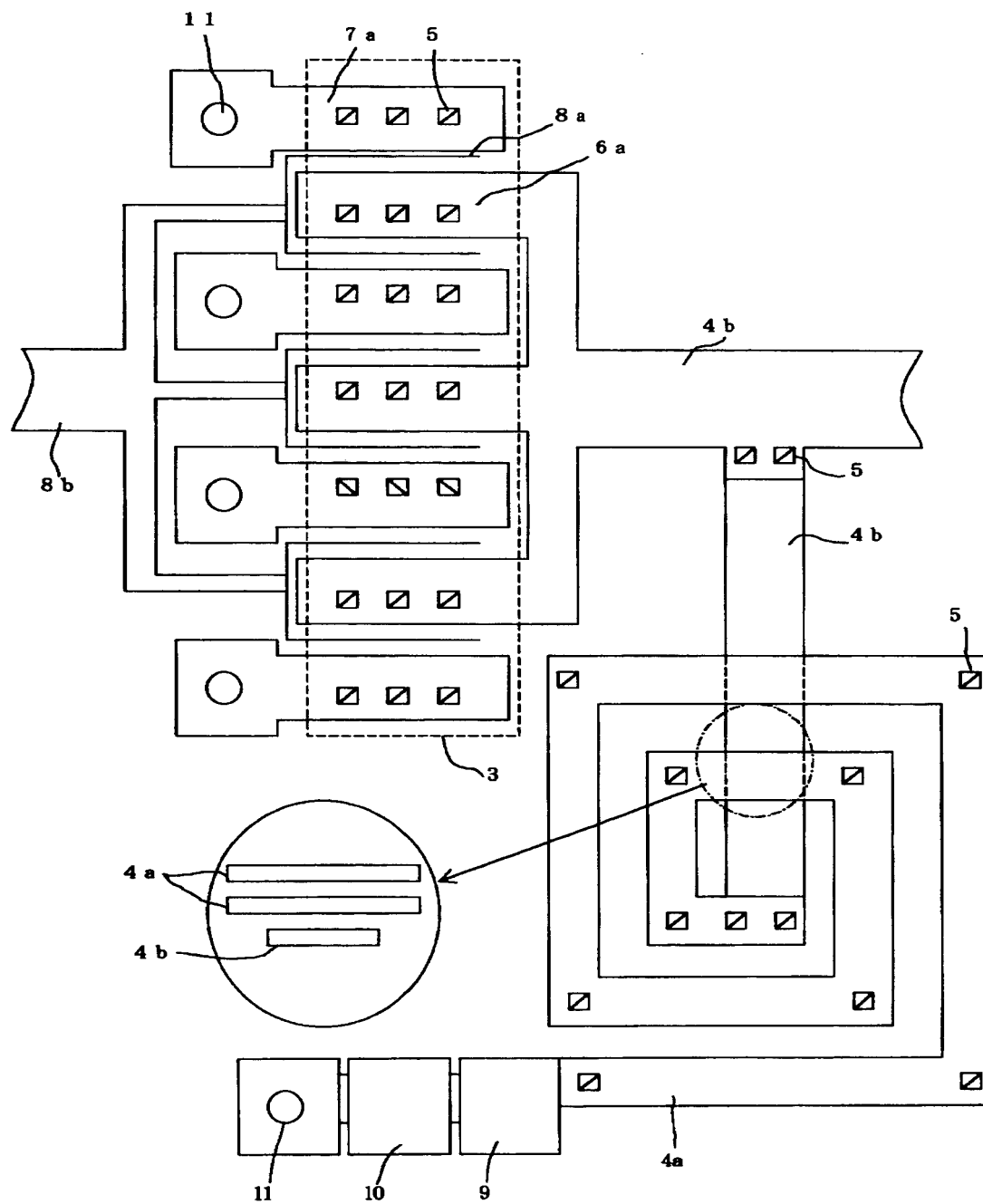


【図 8】



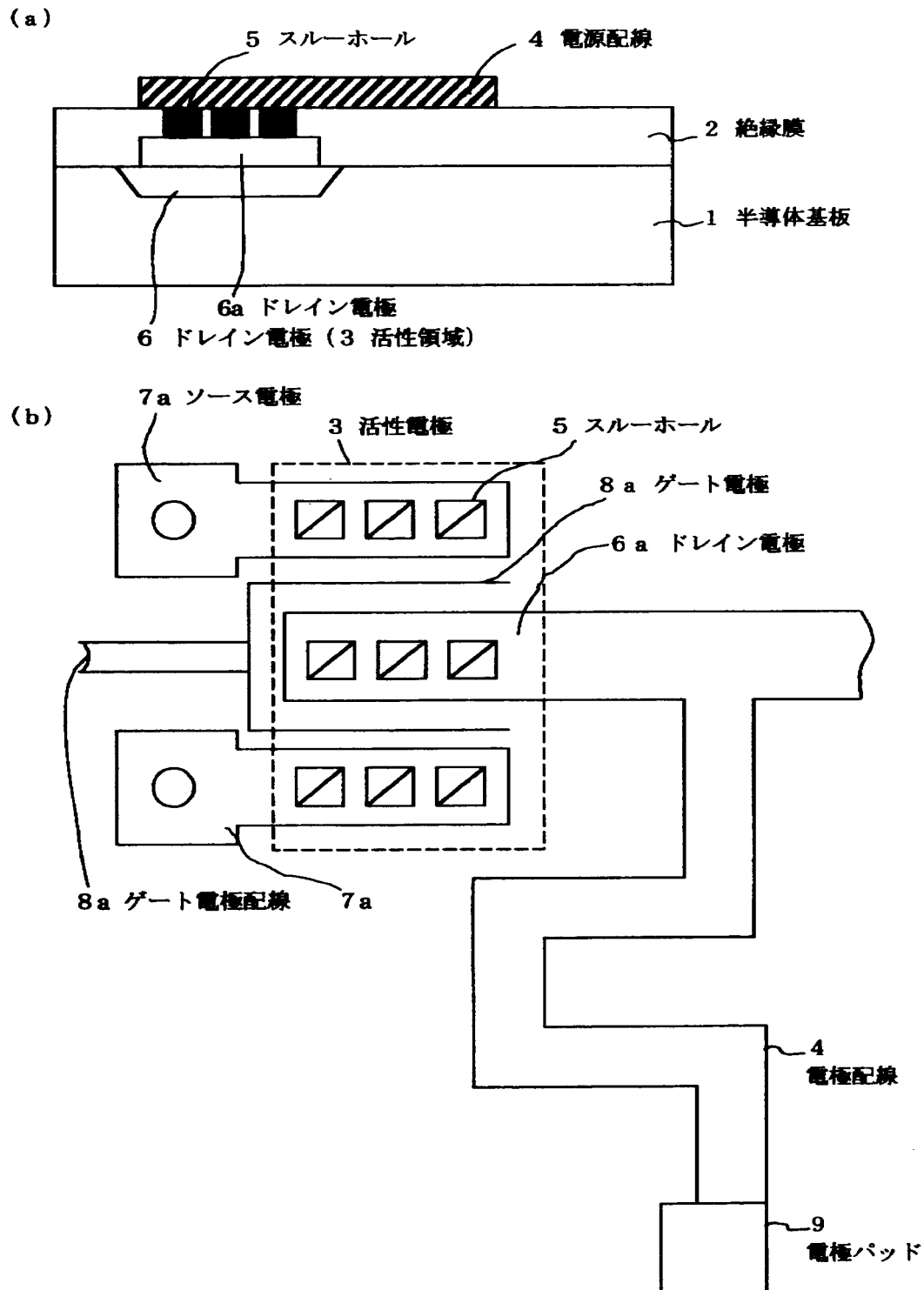
【図 9】

本発明の第2実施形態例平面図



【図 10】

### 従来の半導体装置説明図



【書類名】        要約書

【要約】

【課題】    MMICの電源配線を細くし、レイアウトの自由度を改善する。

【解決手段】    電源配線を多層配線（複数の電源配線4a）で構成し、各配線層間をスルーホール5で相互に接続する。電源電流が複数の電源配線4aに分配されて給電されるので、一本の電源配線4aを細くしても多層配線全体では大電流を通電できる。

【選択図】        図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 4 3 2 5 ]

1. 変更年月日 1 9 9 2 年 4 月 6 日

[変更理由] 名称変更

住 所 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地

氏 名 富士通カンタムデバイス株式会社